## POWER SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

Patent number:

JP2002231820

**Publication date:** 

2002-08-16

Inventor:

YAMAMOTO TETSUYA

Applicant:

SANYO ELECTRIC CO LTD

**Classification:** 

- international:

H01L21/8234; H01L27/06; H01L27/00; H01L27/088; H01L29/786; H01L29/78; H01L27/09

H01L29/80; H01L29/861

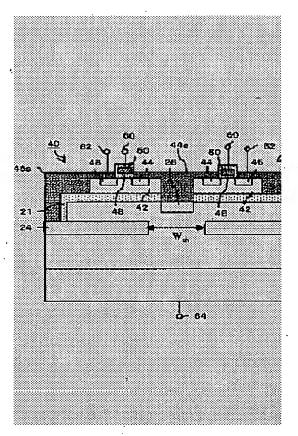
- european:

Application number: JP20010021939 20010130

Priority number(s):

## Abstract of JP2002231820

PROBLEM TO BE SOLVED: To provide a power semiconductor device where on-resistance is low and normally-off operation can be performed. SOLUTION: A normally-off type MOSFET 40 composed of Si is formed on a normally-on type JFET 20 composed of SiC, and the JFET 20 and the MOSFET 40 are electrically connected each other so that the normally-off operation can be performed using the whole power semiconductor device 100 and the JFET 20 portion can secure most of breakdown voltage. Thus, in the JFET20 composed of SiC, the breakdown voltage can be made high. As a result, in comparison with the power semiconductor device composed of only Si, of the same breakdown voltage, the on-resistance can be made low as a whole, and the normally-off operation is performed as a whole and thus low power consumption of the whole circuit system can be realized.



BEST AVAILABLE COPY

( 2 )

## (A) 4 特 噩 **⊗** (23) (18) 日本国格許庁 (JP)

特開2002-231820 (P2002-231820A)

(11)特許出顧公開報母

(43)公開日 平成14年8月16日(2002.8.16)

20/78 6 5 2 27/06 3 0 1 6 5 3 27/08 6 5 2 27/08 6 5 3 27/08 6 5 3 27/08 1 0 2 23/78 6 5 3 27/08 1 0 2 27/08 2 3 27/08	(SI) Int CL.	<b>每206</b>	F 1	<sub>*</sub> }-	7-7-1-1(多数)
23/06 3 0 1 27/00 3 0 1 27/08			H01L Z1/00		5F048
77/00 3 0 1 27/088	90/12		29/78	852T	5F102
77/088	00/12			653A	5 P 1 1 0
27/786	80/12	83		656C	
等空間求 未請求 開永項 特	81/62		90/12	102A	
時 特置2001-21939(71)出版人 平成13年1月30日(2001.1.30) (72)発明者		长祖何歸	未請求 財改項の数7 OL	(全8月)	起件頁に较く
平成13年1月30日(2001.1.30) (72)発明者 (74)発明者 (74)代理人	(21)田田神命	(\$10001 - 21939( P2001 - 21939)	(71) 出區人 000001889		
	(22) HINTE	平成13年1月30日(2001.1.30)	三洋電機株式	会社 京阪本語 2 丁6	15年5年
祥 <b>德德</b> 株式会社内100075238 外理士 古田 研二			大阪府守口市	京阪本通2丁[	35番5号 三
100075288 井理士 古田 研二			祥鳴樓株式会	社为	
田、田、江					
			中型士 古田	口	(外2名)
		•	•		
				, - <u>.</u>	を表面に扱く

## (54) 【発明の名称】 パワー半導体数量及び半導体数量の製造方法

(51) (財産)

【収扱】 オン抵抗が低くノーマリーオン動作すること かできるパワー半導体被配を提供すること。

【解決手段】 ノーマリーオン型でSiCからなるJF 徴限できるようにJFET20とMOSFET40とを **電気的に後続した。こうすると、SiCからなるJFE** T20で高耐圧化が可能となるので、S1のみからなる 司耐圧のパワー半導体装置と比較して全体としてオン抵 オフ動作するので回路システム金体としての低消費電力 ET20上にノーマリーオフ型でSiからなるMOSF BT40を形成し、パワー半導体装置100金体でノー マリーオフ動作しJFET20部分が耐圧のほとんどを **汽を低くすることができると共に会体としてノーマリー** 化を図ることができる。

SEST AVALLITE

るノーマリーオフ型の第1のゲート型半導体案子により **7 を制御してスイッチング動作を行なうパワー半導体装 ・ーマリーオン型の第2のゲート型半導体報子のオンオ** 特許請求の範囲】

身体来子は、前記半導体基板に形成され炭化珪乗と異な 「鯖水頂2】 前記第1のゲート型半導体繋子は、前記 前記第2のゲート型半導体異子は、炭化珪素の半導体基 仮に形成され炭化珪素からなり、前配第1のゲート型半 る材料からなることを特徴とするパワー半導体装置。

第2のゲート型半導体繋子上に形成されていることを特 【樹水頃3】 前記半導体基板の前記第2のゲート型半 **尊体景子の形成面と異なる面側に配置された第1のជ極** 数とする耐水項1に記載のパワー半導体装置。

前記第2のゲート型半導体祭子上に配置され前記第1の **虹極と対となり前記第2のゲート型半導体繋子から前記** 第1のゲート型半導体案子を介して配流を取り出す第2 の気極と、

第3の電極と、を備えることを特徴とする請求項2に記 前記第1のゲート型半導体索子のオンオフ制御を行なう 既のパワー半導体装配。

[0000]

ト型半導体繋子と並列に接続された環流ダイオードとを 「醣水頃4】 外部からの制御取用に応じたオンオンす るノーマリーオフ型のゲート型半導体繋子と、前記ゲー 描えるパワー半導体装置であって、

1. 故化珪素からなり、前配ゲート型半導体繋子は、前配 4.専体基板に形成され炭化珪素と異なる材料からなるこ 前記環流ダイオードは、炭化珪紫の半導体基板に形成さ を特徴とするパワー半導体装置。

【耐吹項5】 前記ゲート型半導体案子は、前記環流ダ | オード上に形成されていることを特徴とする額求項 4 こ記載のパワー半導体装置。 「請求項6】 一の導虹型の半導体材料からなる第1半 導体圏内に他の導電型の半導体材料からなり所定距離を **鬲てて配置された二つの第2半導体圏を備える半導体装** 田の製造方法であって、

前記一の導虹型の半導体材料からなる第1準備圏を形成 する第1準備圏形成工程と、

前記第1準備層上に前記所定距離と略同一の幅の埋め込 み層を形成する埋め込み層形成工程と、 前記埋め込み層の周辺に前記第2半導体層を形成する第 前記埋め込み層を選択的にエッチングする埋め込み層エ 2 半導体圏形成工程と、

**向記第1準備層上に前記一の導配型の半導体材料からな** る第2準備層を形成し、第1準備層と第2準備層とから なる類1半導体圏を形成する第1半導体層形成工程と、 :備えることを特徴とする半導体装置の製造方法。

【翳校頃7】 前部半導体材料は、数化珪聚にあること

を特徴とする顕求項6に記載の半導体被匿の製造方法。

[発明の詳細な説明]

【発明の属する技術分野】本発明は、炭化珪祭を用いた パワー半導体装置及び半導体装置の製造方法に関する。 [0002]

(Metal Oxide Semiconductor Pield-Affect Transisto 一半導体装置としては、接合型FET(Junclion Pield 倍、虹子の飽和ドリフト強度がSiの約2倍など優れた 物件値を示すため、複雑用でオン抵抗の低いパワー半導 体装置を実現する材料として近年注目されている。パワ -Itteet Transistor, 以下JFET), MOSFET のようなパワー半導体装置を配子部品のスイッチング緊 子として用いる場合、パワー半導体接置をノーマリーオ 1) , ダイオードなど様々なものが扱案されている。こ 田霖 (S.i.) やガリウムーヒ繋 (GaAs) の約10 フ型にすることが留ましい。

ノーマリーオフ型のMOSFETを製造してもチャネル 【発明が解決しようとする限盟】しかしながら、SiC からなるパワー半導体装置では、SiCからなる半導体 MOSFETのチャネル移動度をあげるためにチャネル 形成的の不結物遺版を高くすることも考えられるが、そ **うするとMOSFETがノーマリーオン型になってしま** い、例卸回路が複雑となり回路システム会体としての低 **移動度が低下しメン抵抗が高くなったしまか。そいた、** 哥とSiO,膜との界面特性の制御が困難であるため、 消費配力化を図ることができない。

[0004]本発明は、上記瞑題を解決するためになさ れたものであり、オン抵抗が低くノーマリーオフ動作す ることができる高耐圧なパワー半導体被置を提供するこ とを目的とする。

[0000]

の半導体基板に形成され炭化珪素からなり、前記第1の であって、前記第2のゲート型半導体案子は、炭化珪紫 【瞑題を解決するための手段】本発明の第1のパワー半 **学体被団は、外部からの制御町圧に応じてオンオフする** ノーマリーオフ型の第1のゲート型半導体繋子によりノ ーマリーオン型の第2のゲート型半導体祭子のオンオフ を制御してスイッチング動作を行なうパワー半導体装置 ゲート型半導体繋子は、前記半導体基板に形成され炭化 生衆と異なる材料からなることを特徴とする。

【0006】本発明の第1のパワー半導体装置では、耐 圧のほとんどを確保する第2の半導体探子が炭化珪索か らなるので、珪霖からなり岡附圧のパワー半導体装置と **外部からの制御杠圧 たオンオフするノーマリーオフ型の** 第1のゲート型半導体繋子でノーマリーオン型の第2の 比較して全体としてオン抵抗が低くなっている。また、

ゲート型半導体繋子をオンオフできるので、全体として 問題和圧だけしてノーマリーオン動作することができ る。この結果、回路システム会体としての低消費電力化 かなって、よまな。

【0007】本発明の第1のパワー半導体接便において、前記第1のゲート型半導体験予は、前記第2のゲート型半導体験予は、前記第2のゲート型半導体験予上に形成されているものとしてもよい。こうすれば、パワー半導体験屋の幾面段の増加を抑える

100081本毎明の第1のパワー半導体接度は、前記 半等体基限の前記第2のグート型半等体券子の形成面と 和なる面側に配置された第1の電路と、前記第2のグー ト型半導体券子上に配置され前記第1の立起と対となり 前記第2のグート型半導体案子から前記第1のグート型 半導体発子を介して軽減を取り出す第2ので超く、前記 第1のグート型半導体案子がより高の電径と、前記 第1のグート型半導体素子のよい。こうすれば、二 つの電路と、金積えるものとしてもよい。こうすれば、二 つの電路とのと、地域な多位化性素を材料とする第2 のグート型半導体案子と半導体基段とで保持することが できるので、海耐圧化を図ることができると共にノーマ リーオフ動作を契別することができると共にノーマ

[0009]本紀明の第2のパワー半導体接面は、外部からの副部電圧に応じてオンオフするノーマリーオフ型のグート型半導体発子と、前記グート型半導体発子と並列に接続された環境ダイオードとを放えるパワー半導体接面であって、前記環流ダイオードは、炭化珪紙の半導体表板に形成され炭化珪紙からなり、前記グート型半導体表板に形成され炭化珪紙からなり、前記グート型半導体表板に形成され炭化珪素のより、前記グート型半導体表板に形成され炭化珪素と異なることを特徴とする。

[0010]本発現の第2のパワー半導体接面では、ノーマリーオフ型のグート型半導体数子とこのグート型半導体数子とごが接続された環境ダイオードとを優えているので、倒えば、インパータ回路を構成するスイッチング数子の一部などとして用いることができる。また、斑ボダイオードは、炭化油数からなるので高限圧倒域においてもオン質抗を低くすることができる。

と、前記第1章階級由上に前記ーの導む型の半導体材料からなる既2準備商を形成し、第1準備商と贈2準備商と からなる第1半導体商を形成する第1半導体商形成工程と、を復えることを存徴とする。 [0013]本発明の半導体装置の製造方法では、イオン社入やアニール処理を行なうことなく一の導配型の半等体材料からなる第1半導体圏内に他の調配型の第2半導体固を形成するにとができる。

【0014】本発明の半導体接面の製造方法において、 前記半導体材料は、供化阻棄であってもよい。こうすれば、使化阻棄を材料とする半導体接面の製造に通常必要な商品アニール処理を行なうことなる商品アニール処理を行なうことなく、第1半導体圏内に第2半導体圏を形成することがでく、第1半導体圏内に第2半導体圏を形成することがで

[0015]

【発明の実施の形態】以下、本売明の実施の形態(以下 突施形態という)を、図面に従って説明する。尚、各図において同一の機能を来たす構成要件には同一の符号をけし説明を発酵する。 (0016]図1は、本英術形物の600V程度の耐圧を有するパワー半導体装置の1000様以の関連を示す 新国図である。パワー半導体装置100は、半導体基度 10に形成されたJFET20と、酸化膜21を介して と、発酵から配圧が放送れた二つのMOSFET40 と、外部から配圧が開立されるグート端子60、ソース 増子62,ドレイン準子64とを確える。尚、観別のた め、ゲート端子60に印加される何ート端子60、ソース 増子62,ドロ加されるが一ト端子60、知別のた め、ゲート端子60に印加されるで用定シVg,ソース増 子62に同加される電圧をVg,ソース端子64に可される電圧をVg,ソース端子61に可加される電圧をVg,ソース端子64に可加される電圧をVg,ドレイン端子64に

[0017] 半導体基板10は、多形が4H又は6H, 面方位が(0001)又は(0001), of 1角度が 1度~10度, of 1方向が[1120], 不能物額度 が10<sup>14</sup> [c·m-<sup>1</sup>]程度の可型のSiCからなる数10 0[μm]程度の厚さの基板である。尚、半導体基板1 0は、多形が4H又は6H, 面方位(11-20)の基

(0018) JFET20は、半導体基板10上に形成され不総分適度か5×1015 [cm-i] 程度のn型のS1Cからなる写さか20μm程度のドリフト層22と、ドリフト層22内で下配限され、たこのグート層24と、ドリフト層22の製画に形成されたの型のS1Cからなるソース関域26とを構える。このグート層24は、厚さか1~34m程度で不高が適度が3×1014[cm-i] 程度のp型のS1Cから形成されている。半域体基板1041(cm-i) 程度のp型のS1Cかなっており、ドリフト層22の厚さで580[V]程度の所圧を確保できるよう形成されている。JFET20には、ドレイン領域となっており、ドリフト層22の厚さで580[V]程度の所圧を確保できるよう形成されている。JFET20の対応をVjs、ソース間位をVjs、ソートーソース回位正をVjs、ソース値域26(EVjs・Vjs・グートーソース回位正をVjs・ジーVjs)とすると、JFET20の動作は以下

Bとなる。即ち、JFET20は、ノーマリーオン型の 0のゲート層24と電気的に接続されn型のSiからな 40は、オン抵抗が十分小さくなるように形成されてお b、ゲート電極50の電位をVmg,ソース領域46の **電位をVms,ゲートーソース関電圧をVmgs (=V** mg-Vms)とすると動作は以下の通りとなる。Vm オン状態となるので半導体基板10とソース領域26と BBガ所定値より小さいとき、JFET20は、オフ状 [0019] MOSFET40は、p型のSiからなる エピ層42と、配穏層448を介してJFET20のソ ース領域26と虹気的に接続されたn型のS.iからなる ドレイン領域44と、配線層46aを介してJFET2 え、20【V】程度の附圧を有している。MOSFET の間に観流が流れる。一方、Vigs<0 であってVi るソース領域46と、酸化珪素 (SiO,) 膜4·8を介 BS=特のとき、MOSFET40は、オフ状物とな の通りとなる。Vjgs=特のとき、JFET20は、 してエビ暦42上に配母されたゲート配極50とを備 半導体装置として動作するよう構成されている。

2の遺医を強くし厚みを導くすることができる。この結 [0020] 図2は、図1のように構成されたパワー半 単体被阻100の等価回路図である。パワー半導体被阻 100の動作は、以下の通りである。ここで、パワー半 **単体装置100のゲートーソース間電圧を∨gs(=∨** 0021]Vgs>VthmtVds>0028.M OSFET40は、オン状態となる。このどき、MOS FET40のオン抵抗は十分に小さいので、MOSFE I 40のドレイン領域44の電位がVs程度になり、J つまり、JFET20のゲートーソース間氧圧Vjgs **= 年となりJFET20はオン状態となると、ドレイン** 盤子64とソース増子62との間に口流が流れる。この 改壊配圧がSiの約10倍程度あるので、ドリフト層2 果、Siのみから形成される同間圧のパワー半導体装置 とき、パワー半導体被倒100において、SiCの絶線 g - Vs)、ドレイン-ソース間粒圧をVdsとする。 FET20のソース領域26の配位がVs程度となる。 と比較して全体としてオン抵抗を低くすることができ [0022]一方、VBs=毎のとき、MOSFET40は、オン状態となり、JFET20のソース領域26の単位VjsがMOSFET40の耐圧程度まで上昇して、Vjss<0となり、JFET20はオフ状態になる。このとき、ソース端子62とドレイン端子64との間の耐圧をほとんとをJFET20で確保しているが、SiCは、絶縁破壊血圧がSiの約10倍程度であるため、高階圧化を図ることができる。

40と配線圏44a, 46aと杢形成し、図1に示した

[0023]以上設明したように、パワー半導体接回100は、グート組子60から中泊される住用におしてMOSFET40がよンオプし、MOSFET40によりJFET20かオンオフを慰避され、ノーマリーオン勢作することができる。また、パワー半導体接回100は、開圧のほとんどをSiCからなるJFET20で確保しているので、オン抵抗を低くすることができると共保してることがあると共

こ商厨圧化を図ることができる。

【0024】次に、このようなパワー半導体接回100の製造方法について説明する。図3は、パワー半導体接回100の製造方法のうち、JFET20のドリフト回22内にグート層24を形成するグート密形成工程を示すフローチャートであり、図4~図8は、図3に示した各工程でのJFET20の新図図である。本工程は、半導体基板10上にドリフト層22と同じ材料からなり半導体基板10と同多形の膜をエピタキシャル成長させ第1準構層22aを形成する工程から始める(ステップS10,図4)。第1準構層22aの厚さは、JFET20に要求される耐圧に応じて適宜調整される。

(0025)次に、期1準備限22a上にCVD(化学気相成長、(henical Vapor deposition) 法を用いてSiO. IQを形成した後、図1に元した二つのゲート限24の間に領域に対応するSiO. IUが残るようにバターニングし、個め込み用70を形成する(ステップS12) 図5)。そして、CVD法を用いてゲート限24を同じ材料からなる収をエピタキシャル成長させた後、援頭を研磨して平坦化しゲート限24を形成する(ステップS14、図6)。

ち、MOSFET40は、ノーマリーオフ型の半導体装

屋として動作するよう構成されている。

り、Vmgs>0であってVmgsが所定値Vthmを

越えると、MOSFET40は、オシ状態となる。即

[0026]その後、グート暦24より増め込み暦70のほうが遊くエッチングされる条件下で、例えば、フッ酸を用いたエッチングを行ない、埋め込み層70を遊択的に除去する(ステップS18, 図7)。このとき、R1E (反応性イオンエッチング、Resclive Ion elebia) 法を用いて埋め込み層70を選択的に除去してもよ

(0027)次に、臨出している第1枠偏層228上にドリフト層22と同じ材料からなり半導体銘板10と同多形の膜をエピタキシャル成長さ世類な機層20とを形成する(ステップS18) 図3)。その後、研題によりを配むするドリント層24かに示し、第1端隔層34か形成される。図3に示したケート形成方法を用いると、高温イオン社入や高温ケート層24を形成することが、イナン柱入法を用いてリート層24を形成することが、イオン柱入法を用いてリース層24を形成することが、イオン柱入法を用いてリース層24を形成することが、イオン柱入法を用いてリース層24を形成した後、イガン柱入法を用いてリース層24を形成した後、イガン柱入法を用いてリース層24を形成した後、イガン柱入法を用いてリース層24を形成した後、11か54次を表現の12を形成した後、S1か54次を基準を発展した後、S1か54次を表現した後、S1か54次を表現した後、S1か54次を出述した。S10点を11上を形成した後、S1か54次を11上でMOSFET

9

**説する工程への適用に限定したものではなく、一の導虹** 【0028】尚、図3に示した形成工程は、ドリフト圏 2.2 内にドリフト層と導電型の異なるゲート暦2.4 を形 17 一半導体被回 100 が完成する。

型の半導体圏内に他の導動型の半導体圏を形成する他の

工程へも適用することかできる。

こからなる俎め込みチャネル個52を有するnチャネル である。Vgs>VthmでVds>0のとき、MOS ノース粒子62との間に気流が流れる。一方、Vgs= 【0029】パワー半導体被阻100では、SiCから なるJFET20上にSiからなるMOSFET40を 5成したが、図9に示すパワー半導体被阻200のよう に、JFET20に代えてノーマリーオン型のMOSF ET220を用いてもよい。MOSFET220は、不 MOSFETとして存成されており、ノーマリーイン勢 **やする。図10は、パワー半導体装置200の等**値回路 図であり、パワー半導体装置200の動作は以下の通り FET40は、オン状態となる。すると、MOSFET 2 2 0のゲート-ソース間虹圧Vjgs=特となりMO S F E T 2 2 0 はオン状態となってドレイン始子 6 4 と MOSFET220のソース領域26の配位Vjsが上 **畀して、Vjgs<0となり、MOSFET220はオ** 00は、附圧のほとんどをSiCからなるMOSFET 2 2 0 で確保しているので、オン抵抗を低くすることが CからなるMOSFET220の畑め込みチャネル暦5 2 が半導体基板 1 0の殺さ方向に延伸した従型チャネル のものとしたが、図11に示すように、埋め込みチャネ 「フ動作することができる。また、パワー半導体装置2 【0030】図9に示したパワー半導体按照では、Si ゲート盤子 60 から日台される 幕田に応じ アノーマリー 高物道度が1011~1014 [cm-1]程度のn型のSi 昇のとすると、MOSFET40は、オフ状態となり、 7 状節になる。このようなパワー半導体装置200は、 できると共に商財圧化を図ることができる。

[0031]パワー半導体装置100,200では、S I CPSなるJFET20XはMOSFET220など の半導体上にSiからなる半導体数子としてMOSFE Tを配置したが、S 1からなる半導体数子はMOSFE Tに限定したものではなく、ノーマリーオフ型の半導体 Cからなる半導体菓子も、JFETとMOSFETに限 記したものではなく、ノーマリーオン型の半導体系子で 昇子であれば他の種類のものとしてもよい。また、S i ている模型のものにすることもできる。 あれば他の種類のものとしてもよい。

【0032】図12は、他の契施形態のパワー半導体技 パワー半導体被置400の等面回路図である。パワー半 専体接回400は、例えば、インバーク回路を構成する 屋400の梅成の梅略を示す断面図であり、図13は、 スイッチング数子の一部として用いられるものであり、

IGBT (Insulated Cate Bipolar Translator) 34 0と、IGBT340と並列接続された現流ダイオード

[0033] 環流ダイオード320は、半導体超板10 320とを備えている。

n型のSiCからなる半導体圏322と、半導体圏32 体圏324内に形成され不純物濃度が3×1014[cm -1] 程度のp型のSiCからなる半導体圏326と、半 ニウムなどの金属材料よりなるショットキー価極328 とを備え、ショットキーダイオードとして形成されてい 上に形成され不結物遺反か5×1015 [cm-1] 格反の のn型のSiCからなる二つの半導体暦324と、半導 **専体圏322の投面の一部にショットキー接触しアルミ** 2の阿側に配置され不純物徴度が1.0 <sup>11</sup> [cm-1] 程度

[0034] IGBT340は、n型のSiからなり不 気的に接続されたエミック暦342と、p型のSiから なりチャネルが形成されるボディ暦344と、n型のS .からなる不純物遺伝の低いドリフト圏346と、p型 p型のSiからなり不純物濃度の高いコレクタ圏350 ト始子360より印加される母氏によりオンオフが勧飾 350は、コレクタ端子364と電気的に接続される 高物遺仮の成くエミック指子362と配換面328で包 とを備え、ゲート価値352と電気的に接続されたゲー されるノーマリーオフ型の半導体繋子である。コレクタ と共に配稿倒354により環流ダイオード320の半導 [0035]このように構成されたパワー半導体装置4 のSiからなり不純物遺度の低いバッファ圈348と、 **は暦324と電気的に接続され、エミッタ暦342は、** ショットキー電極328と電気的に接続されている。

00では、頃流ダイオード320が故化珪森からなるの 5.オン抵抗を低くすると共に商酎圧化を図ることができ

Cからなる半導体繋子上にSiからなる半導体繋子を配 **配したが、SiCからなる半導体祭子の複方向にSiか** .0036]各央施形態のパワー半導体装置では、Si らなる半導体祭子を配置してもよい。

ル層52が半導体基板10の玻面に水平な方向に延伸し

こからなる半導体繋子上にSiからなる半導体装子を配 体報子はSiに限定したものではなく、その他の半導体 【0037】各実施形態のパワー半導体装置では、Si **宜したが、S1Cからなる半導体素子上に形成する半導** 才料からなる半導体展子を形成してもよい。 【発明の効果】本発明のパワー半導体装置では、第2の なるパワー半導体装置と比較して全体としてオン抵抗が **氏くなっている。また、外部からの制御町田でオンオフ** 半導体架子は炭化珪漿からなるので、同耐圧の珪繋から -マリーオン型の第2のゲート型半導体繋子をオンオフ **たきるのた、会体として包御負用に対したノーマリーオ** フ動作することができる。この結果、制御回路が簡略で するノーマリーオン型の第1のグート型半導体繋子をノ

き、回路システム全体としての低消費配力化を図ること

【図8】 図3に示したステップS18におけるJFE

T 20の断面図である。

[ 6 🔯]

ノーマリーオン型のMOSFETを用いたパ

ワー半導体装置2000構成の概略を示す断圏図であ

【図10】 パワー半導体徴回200の賠佰回路図ため 【図11】 埋め込みチャネル面52が模型のパワー半 【図12】 由の英瓶形飾のパワー半導体装置400の 【図13】 パワー半導体被阻400の勢値回路図であ

学体被買300の結成の酸路を形すを固図れめる。

構成の廢略を示す節国図である。

【図面の簡単な説明】

図1】 本実施形態の600V程度の耐圧を有するバ 7一半導体装置100の構成の概略を示す断面図であ

パワー半導体装置100の等価回路図であ [⊠2]

JFET20のドリフト圏22内にゲート層24を形成 パワー半導体装置100の製造方法のうち、 [<u>8</u>3]

|図4|| 図3に示したステップS10におけるJFE |図5] 図3に示したステップS12におけるJFE - るゲート圏形成工程を示すフローチャートである。 I 2 0 の新国図である。 [200) | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200 | 200

10 半導体基板、20 JFET、40 MOSFE T、100,200,300,400 パワー半導体数 **登、220 MOSFET、320 環流ダイオード、** 340 IGBT.

[図7] 図3に示したステップS16におけるJFE

200節 国図である。

(20の新国図である。

図6】 図3に示したステップS14におけるJFE

【符号の説明】

[図3] [図2]

1準書展228の形成 (の込み用70の形成 (⊠ 1)

**自め込み限70の事去** 第2年書房225の形成 ゲート版24の修成 [98]

[図2]

[ Ø 4 ]

22.2

BEST AVAILABLE COPY

